

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    1 月 2 8 日  
Date of Application:

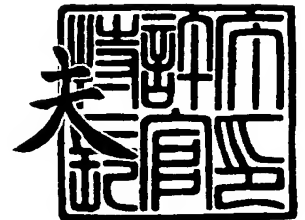
出 願 番 号                      特 願 2 0 0 3 - 0 1 9 1 3 1  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 1 9 1 3 1 ]

出      願      人                      セイコーエプソン株式会社  
Applicant(s):

2 0 0 3 年 1 1 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 0 9 6 2 9 1

【書類名】 特許願

【整理番号】 J0095313

【提出日】 平成15年 1月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 木村 睦

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 入口 千春

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

## 【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ型表示装置、薄膜素子の製造方法、薄膜トランジスタ回路基板、電気光学装置および電子機器

【特許請求の範囲】

【請求項 1】 第 1 基板上に薄膜トランジスタを形成し、第 2 基板上に配線を形成し、前記第 1 基板上から前記薄膜トランジスタをひとつ以上含む素子チップを剥離し、前記第 2 基板上へ転写する、薄膜トランジスタ型表示装置において、

前記薄膜トランジスタのパターニング工程で、ホログラフィック露光を用いることを特徴とする、薄膜トランジスタ型表示装置。

【請求項 2】 第 1 基板上に薄膜トランジスタを形成し、第 2 基板上に配線を形成し、前記第 1 基板上から前記薄膜トランジスタをひとつ以上含む素子チップを剥離し、前記第 2 基板上へ転写する、薄膜トランジスタ型表示装置において、

前記薄膜トランジスタのパターニング工程で、追尾フォーカスシステムを用いることを特徴とする、薄膜トランジスタ型表示装置。

【請求項 3】 請求項 1 または 2 記載の薄膜トランジスタ型表示装置において、

前記薄膜トランジスタのパターニング工程で、 $1.0\mu\text{m}$ 以下の設計ルールを用いることを特徴とする、薄膜トランジスタ型表示装置。

【請求項 4】 請求項 1 または 2 記載の薄膜トランジスタ型表示装置において、

前記素子チップの配線として、多結晶シリコン層と第 1 の金属層のみを用いることを特徴とする、薄膜トランジスタ型表示装置。

【請求項 5】 第 1 の基板上に形成された機能素子を第 2 の基板に転写する工程を含む薄膜素子の製造方法であって、

前記第 1 の基板上に、所定のエネルギー付与によって剥離を生じる剥離層を介して前記機能素子を所定の形状となるように形成する工程と、

前記機能素子の領域に相当する前記剥離層の該当部分に前記エネルギーを付与して

剥離を生ぜしめ、少なくとも 1 つの前記素子チップを前記第 2 の基板に転写する工程と、を有し、

前記機能素子を所定の形状にて形成する工程において、ホログラフィック露光を用いて前記機能素子をパターンニングすることを特徴とする薄膜素子の製造方法。

【請求項 6】 前記機能素子は、薄膜トランジスタであることを特徴とする請求項 5 に記載の薄膜素子の製造方法。

【請求項 7】 請求項 6 に記載の薄膜素子の製造方法にて製造された薄膜トランジスタを備えた薄膜トランジスタ回路基板。

【請求項 8】 請求項 7 に記載の薄膜トランジスタ回路基板を備えた電気光学装置。

【請求項 9】 請求項 8 に記載の電気光学装置を備えた電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ型表示装置、特に、第 1 基板上に薄膜トランジスタを形成し、第 2 基板上に配線を形成し、第 1 基板上から薄膜トランジスタをひとつ以上含む素子チップを剥離し、第 2 基板上へ転写する、薄膜トランジスタ型表示装置に関する。

【0002】

【背景技術】

薄膜トランジスタとその間の配線や支持基板を備えた薄膜トランジスタ型表示装置では、薄膜トランジスタは全体の一部で、それ以外は配線や支持基板である場合が少なくない。この薄膜トランジスタ型表示装置を、薄膜トランジスタと配線や支持基板を一体として同一の製造プロセスを経て製造する場合には、高機能の薄膜トランジスタを作成するための高度で複雑な製造プロセスが必要とされるため、一般的に、製造コストが高額になる。しかしながら、配線や支持基板だけのためには、高度で複雑な製造プロセスは必要とされず、製造コストは安価である。もし、薄膜トランジスタと、配線や支持基板を別個に作成し、必要とされ

る部分にだけ薄膜トランジスタを配置することができれば、全体として平均すれば、この薄膜トランジスタ型表示装置の製造コストを低減することが可能である。

#### 【0003】

そこで、第1基板上に薄膜トランジスタを形成し、第2基板上に配線を形成し、第1基板上から薄膜トランジスタをひとつ以上含む素子チップを剥離し、第2基板上へ転写する、薄膜トランジスタ型表示装置が開発されている。この方法によれば、必要とされる部分にだけ薄膜トランジスタを配置することができるので、全体として平均すれば、薄膜トランジスタ型表示装置の製造コストを低減することが可能である。なお、このとき、剥離や転写のプロセスとしては、レーザーアビュレーションや接着剤が用いられる。

#### 【0004】

図1は、素子チップの剥離転写方法の工程図である。第1基板11上に、剥離層12を形成し、その上に薄膜トランジスタ13や接続パッド14を形成し、セパレーション15で分離した素子チップ16を形成する。第2基板17上に、配線18と接続パッド19を形成し、接着剤1aを塗布する。第1基板11と第2基板17を圧着し、接着剤1aをフローさせて、素子チップ16の接続パッド14と、第2基板17の接続パッド19を、電氣的に接続する。接着剤1aは、セパレーション15のおかげで、隣接する素子チップ16までフローしてゆくことはない。第1基板11上から、薄膜トランジスタ13をひとつ以上含む素子チップ16を、レーザー1bの照射でレーザーアビュレーションにより剥離し、第2基板17上へ転写する。

#### 【0005】

図2は、従来の素子チップの平面図である。多結晶シリコン層21と第1の金属層22と第2の金属層23とコンタクトホール24を用い、薄膜トランジスタ25をひとつ以上含む素子チップ26を形成している。ここでは、全レイヤのパターニング工程で、通常のステッパ露光を用い、ライン/スペース/アライメント精度=5 $\mu$ m/5 $\mu$ m/5 $\mu$ mの設計ルールを用いている。薄膜トランジスタ25は、素子チップ26内で、有機発光ダイオードの画素回路を形成している。第1の金属層22と第2の金属層23というふたつの金属層を用いているのは、現状の薄膜トランジスタ型表

示装置では、2次元画像を表示するために横方向と縦方向のバス配線を必要とし、薄膜トランジスタ型表示装置の現実的なサイズを考慮すると、これらのバス配線の時定数や電圧降下を低減するために、低抵抗でなければならないためである。この素子チップ26の面積は、 $150\mu\text{m} \times 85\mu\text{m} = 12750\mu\text{m}^2$ である。

#### 【0006】

図3は、従来の素子チップの製造方法の工程図である。第1基板31上に、剥離層32を形成し、その上に下地絶縁膜33を形成する。 $\text{SiH}_4$ のPECVDや $\text{Si}_2\text{H}_6$ のLPCVDなどで非晶質シリコン(a-Si)層34を成膜し、レーザー照射35により結晶化し、パターニングして多結晶シリコン(poly-Si)層36を得る。TEOSのPECVDやECR-CVDなどでゲート絶縁膜37を成膜し、イオンインプラやイオンドーピング38などによりレジストマスク39を用いてドーパントイオンを選択打込し、ソース・ドレイン領域3aを形成する。ゲート金属を成膜し、パターニングしてゲート電極3bを得る。ふたたび、イオンインプラやイオンドーピング3cなどによりゲート電極3bを用いてドーパントイオンを選択打込し、微量ドーパ領域(LDD)3dを形成する。層間絶縁膜3eを成膜し、コンタクトホール3fを開孔する。ソース・ドレイン金属を成膜し、パターニングしてソース・ドレイン電極3gを得る。ソース・ドレイン電極3gは、同時に、接続パッドとして用いる。これらの工程により、薄膜トランジスタ3hを得る。最後に、セパレーション3iで分離することにより、素子チップ3jを形成する。図3では、1個の素子チップ3jしか図示していないが、多数の素子チップ3jが配列して存在する。

#### 【0007】

一方、ホログラフィック露光や追尾フォーカス(ホワイトライトフォーカス:WLF)システムという、薄膜トランジスタの製造方法が開発されている。ホログラフィック露光によれば、薄膜トランジスタのパターニング工程で、微細な例えば $1.0\mu\text{m}$ 以下の設計ルールを用いることが可能である。また、追尾フォーカスシステムによれば、大型基板の表面うねりを補償できるので、均一で高精度に露光することが可能である。(例えば非特許文献参照)

#### 【非特許文献】

T. Shimoda, et al, Tech. Dig. IEDM 1999, 289, S. Utsunomiya, et al, Dig.

Tech. Pap. SID 2000, 916、T. Shimoda, Proc. Asia Display / IDW '01, 327、S. Utsunomiya, et al, Proc. Asia Display / IDW '01, 339、T. Shimoda, Dig. Tech. Pap. AM-LCD 02, 5、<http://www.holtronic.ch>

#### 【0008】

##### 【発明が解決しようとする課題】

第1基板上に薄膜トランジスタを形成し、第2基板上に配線を形成し、第1基板上から薄膜トランジスタをひとつ以上含む素子チップを剥離し、第2基板上へ転写する、薄膜トランジスタ型表示装置においては、必要とされる部分にだけ薄膜トランジスタを配置することができるので、全体として平均すれば、薄膜トランジスタ型表示装置の製造コストを低減することが可能である。このとき、素子チップのサイズは、製造コストに大きく影響する。そこで、本発明の目的は、素子チップのサイズを削減し、製造コストを低減することである。

#### 【0009】

##### 【課題を解決するための手段】

上記課題を解決するため本発明においては、第1基板上に薄膜トランジスタを形成し、第2基板上に配線を形成し、第1基板上から薄膜トランジスタをひとつ以上含む素子チップを剥離し、第2基板上へ転写する、薄膜トランジスタ型表示装置において、薄膜トランジスタのパターニング工程で、ホログラフィック露光を用いることを特徴とする薄膜トランジスタ型表示装置が提供される。

#### 【0010】

このような構成によれば、薄膜トランジスタのパターニング工程で、微細な設計ルールを用いることが可能で、素子チップのサイズを削減し、製造コストを低減することが可能となる。

#### 【0011】

また、本発明においては、第1基板上に薄膜トランジスタを形成し、第2基板上に配線を形成し、第1基板上から薄膜トランジスタをひとつ以上含む素子チップを剥離し、第2基板上へ転写する、薄膜トランジスタ型表示装置において、薄膜トランジスタのパターニング工程で、追尾フォーカスシステムを用いることを特徴とする薄膜トランジスタ型表示装置が提供される。



**【0012】**

このような構成によれば、大型基板の表面うねりを補償できるので、均一で高精度に露光することが可能で、素子チップのサイズを削減し、製造コストを低減することが可能となる。

**【0013】**

さらに本発明においては、上述の薄膜トランジスタ型表示装置において、薄膜トランジスタのパターニング工程で、 $1.0\mu\text{m}$ 以下の設計ルールを用いることを特徴とする。

**【0014】**

このような手段によれば、ホログラフィック露光や追尾フォーカスシステムで、 $1.0\mu\text{m}$ 以下の設計ルールを用い、均一で高精度に露光することが可能で、素子チップのサイズを削減し、製造コストを低減することが可能となる。

**【0015】**

また、本発明においては、上述の薄膜トランジスタ型表示装置において、素子チップの配線として、多結晶シリコン層と第1の金属層のみを用いることを特徴とする。

**【0016】**

このような構成によれば、ホログラフィック露光や追尾フォーカスシステムで、素子チップのサイズを削減する効果を保ちつつ、製造工程を簡略化することにより、さらに製造コストを低減することが可能となる。

**【0017】**

また、上述の課題を解決するため、本発明は、第1の基板上に形成された機能素子を第2の基板に転写する工程を含む薄膜素子の製造方法であって、前記第1の基板上に、所定のエネルギー付与によって剥離を生じる剥離層を介して前記機能素子を所定の形状となるように形成する工程と、前記機能素子の領域に相当する前記剥離層の該当部分に前記エネルギーを付与して剥離を生ぜしめ、少なくとも1つの前記素子チップを前記第2の基板に転写する工程と、を有し、前記機能素子を所定の形状にて形成する工程において、ホログラフィック露光を用いて前記機能素子をパターニングすることを特徴とする。

## 【0018】

なお、前記機能素子が薄膜トランジスタであることが好ましい。

## 【0019】

また、本発明においては、上記薄膜トランジスタを備えた薄膜トランジスタ回路基板、電気光学装置、電子機器が提供される。

## 【0020】

## 【発明の実施の形態】

以下、本発明の好ましい実施の形態を説明する。なお、転写方法に関する一連の態様に関しては、出願人が開示した、特願2001-282423号、特願2001-282424号等においても記載されている。

## 【0021】

図4は、本発明の実施例の素子チップの平面図である。多結晶シリコン層41と第1の金属層42とコンタクトホール43を用い、薄膜トランジスタ44をひとつ以上含む素子チップ45を形成している。ここでは、多結晶シリコン層41と第1の金属層42のパターニング工程で、ホログラフィック露光と追尾フォーカスシステムを用い、ライン/スペース=1 $\mu$ m/1 $\mu$ mの設計ルールを用いている。他レイヤのパターニング工程では、通常のステッパ露光を用い、ライン/スペース=5 $\mu$ m/5 $\mu$ mの設計ルールを用いている。全レイヤのパターニング工程で、アライメント精度=5 $\mu$ mの設計ルールを用いている。薄膜トランジスタ44は、素子チップ45内で、有機発光ダイオードの画素回路を形成している。多結晶シリコン層41と第1の金属層42のみを用いているが、素子チップ45は表示装置全体サイズに比べて小さいので、時定数や電圧降下は問題とならない。この素子チップ45の面積は、115 $\mu$ m $\times$ 69 $\mu$ m=7935 $\mu$ m<sup>2</sup>であり、従来の素子チップに比べて、62%に削減している。

## 【0022】

図5は、本発明の実施例の素子チップの製造方法の工程図である。第1基板51上に、剥離層52を形成し、その上に下地絶縁膜53を形成する。SiH<sub>4</sub>のPECVDやSi<sub>2</sub>H<sub>6</sub>のLPCVDなどで非晶質シリコン(a-Si)層54を成膜し、レーザー照射55により結晶化し、パターニングして多結晶シリコン(poly-Si)層56を得

る。TEOSのPECVDやECR-CVDなどでゲート絶縁膜57を成膜し、イオンインプラやイオンドーピング58などによりレジストマスク59を用いてドーパントイオンを選択打込し、ソース・ドレイン領域5aを形成し、コンタクトホール5bを開孔する。ゲート金属を成膜し、パターニングしてゲート電極5cを得る。ゲート電極5cは、同時に、ソース・ドレイン電極や接続パッドとして用いる。ふたたび、イオンインプラやイオンドーピング5dなどによりゲート電極5cを用いてドーパントイオンを選択打込し、微量ドープ領域（LDD）5eを形成する。これらの工程により、薄膜トランジスタ5fを得る。最後に、セパレーション5gで分離することにより、素子チップ5hを形成する。図5では、1個の素子チップ5hしか図示していないが、多数の素子チップ5hが配列して存在する。

#### 【0023】

本実施例では、請求項1記載のとおり、薄膜トランジスタ44のパターニング工程で、ホログラフィック露光を用いている。また、請求項2記載のとおり、薄膜トランジスタ44のパターニング工程で、追尾フォーカスシステムを用いている。また、請求項3記載のとおり、薄膜トランジスタ44のパターニング工程で、 $1.0\mu\text{m}$ 以下の設計ルールを用いている。また、素子チップ45の配線として、多結晶シリコン層41と第1の金属層42のみを用いている。

#### 【0024】

なお、本実施例では、多結晶シリコン層41と第1の金属層42のパターニング工程で、ホログラフィック露光と追尾フォーカスシステムを用い、ライン／スペース= $1\mu\text{m}/1\mu\text{m}$ の設計ルールを用いているが、他レイヤのパターニング工程で、ホログラフィック露光と追尾フォーカスシステムを用い、ライン／スペース= $1\mu\text{m}/1\mu\text{m}$ の設計ルールを用いていても、本発明の思想は有効である。

#### 【0025】

また、本発明は、アクティブマトリクス基板を用いた液晶電気光学装置に適用が可能である。上述の各実施例における本発明を適用したアクティブマトリクス基板は、従来品のアクティブマトリクス基板を用いて製造した電気光学装置と比べコスト低減および品質向上を図ることができる。もちろん、電気光学装置として液晶電気光学装置を例示したが、有機エレクトロルミネッセンス装置、電気泳

動ディスプレイ装置などの他の電気光学装置に適用することも勿論可能である。

【 0 0 2 6 】

そしてこれらの電気光学装置は、例えば携帯電話等の電子機器に搭載されるので、本発明においては、上記利点を享受された電子機器を提供することができる。

【図面の簡単な説明】

【図 1】

素子チップの剥離転写方法の工程図。

【図 2】

従来の素子チップの平面図。

【図 3】

従来の素子チップの製造方法の工程図。

【図 4】

本発明の実施例の素子チップの平面図。

【図 5】

本発明の実施例の素子チップの製造方法の工程図。

【符号の説明】

- 1 1 第 1 基板
- 1 2 剥離層
- 1 3 薄膜トランジスタ
- 1 4 素子チップの接続パッド
- 1 5 セパレーション
- 1 6 素子チップ
- 1 7 第 2 基板
- 1 8 配線
- 1 9 第 2 基板の接続パッド
- 1 a 接着剤
- 1 b レーザー
- 2 1 多結晶シリコン層



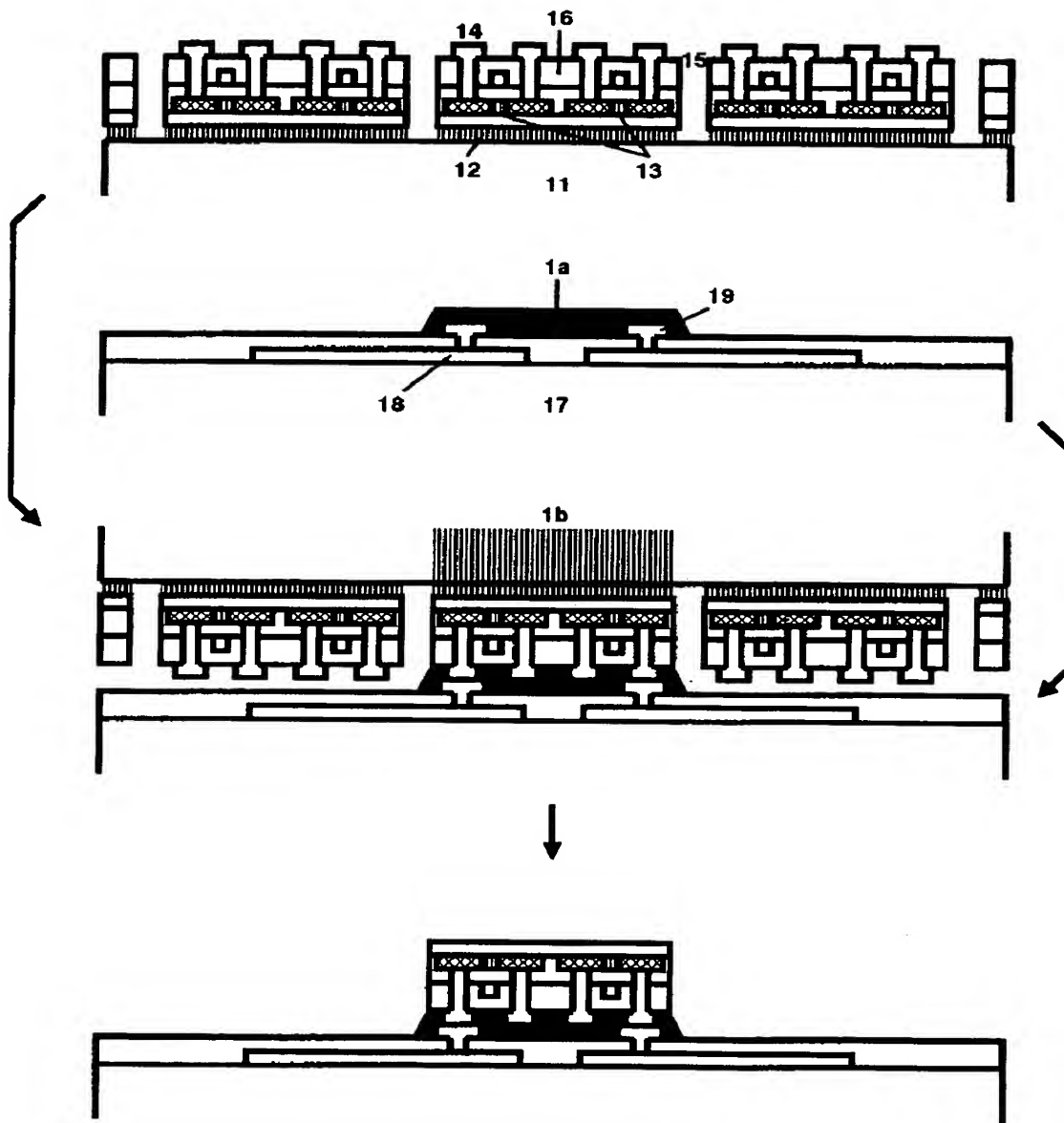
- 2 2 第1の金属層
- 2 3 第2の金属層
- 2 4 コンタクトホール
- 2 5 薄膜トランジスタ
- 2 6 素子チップ
- 3 1 第1基板
- 3 2 剥離層
- 3 3 下地絶縁膜
- 3 4 非晶質シリコン (a-Si) 層
- 3 5 レーザー照射
- 3 6 多結晶シリコン (poly-Si) 層
- 3 7 ゲート絶縁膜
- 3 8 イオンインプラやイオンドーピング
- 3 9 レジストマスク
- 3 a ソース・ドレイン領域
- 3 b ゲート電極
- 3 c イオンインプラやイオンドーピング
- 3 d 微量ドーパ領域 (LDD)
- 3 e 層間絶縁膜
- 3 f コンタクトホール
- 3 g ソース・ドレイン電極
- 3 h 薄膜トランジスタ
- 3 i セパレーション
- 3 j 素子チップ
- 4 1 多結晶シリコン層
- 4 2 第1の金属層
- 4 3 コンタクトホール
- 4 4 薄膜トランジスタ
- 4 5 素子チップ



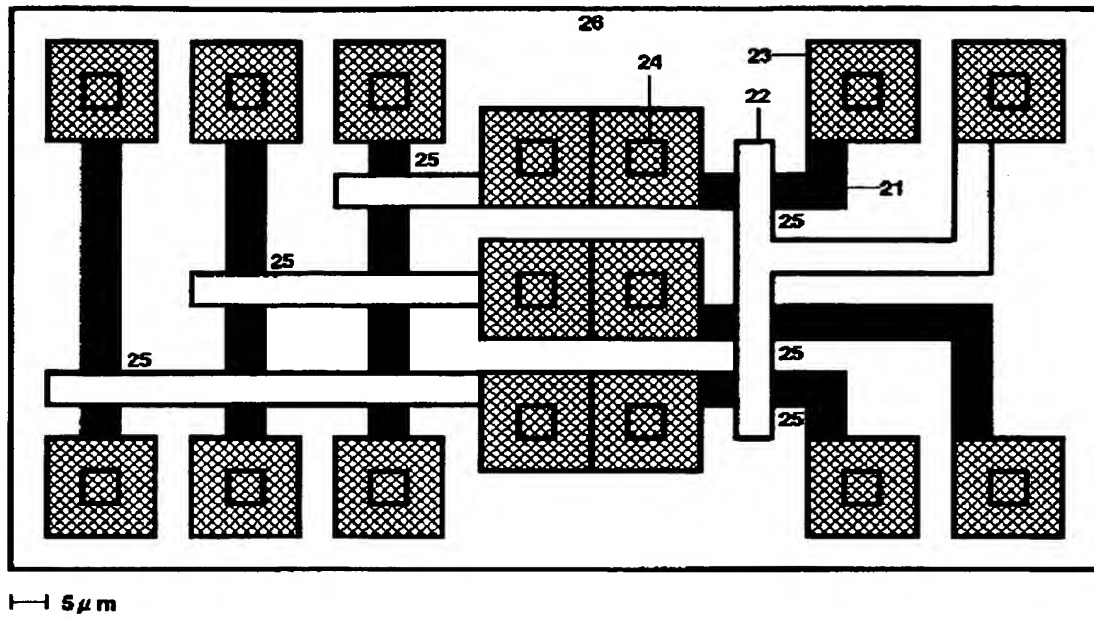
- 5 1 第 1 基板
- 5 2 剥離層
- 5 3 下地絶縁膜
- 5 4 非晶質シリコン (a-Si) 層
- 5 5 レーザー照射
- 5 6 多結晶シリコン (poly-Si) 層
- 5 7 ゲート絶縁膜
- 5 8 イオンインプラやイオンドーピング
- 5 9 レジストマスク
- 5 a ソース・ドレイン領域
- 5 b コンタクトホール
- 5 c ゲート電極
- 5 d イオンインプラやイオンドーピング
- 5 e 微量ドープ領域 (LDD)
- 5 f 薄膜トランジスタ
- 5 g セパレーション
- 5 h 素子チップ

【書類名】 図面

【図 1】

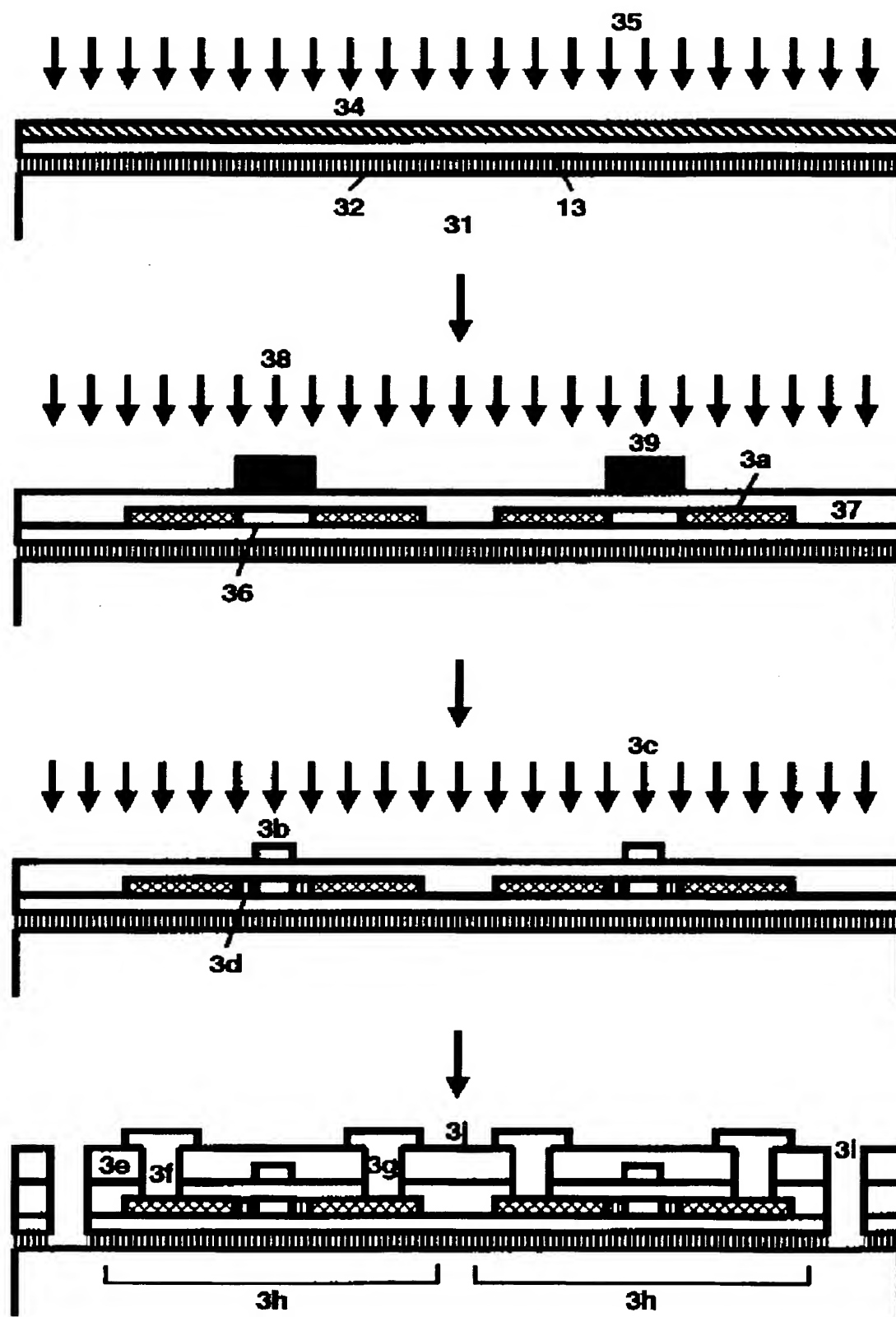


【図 2】

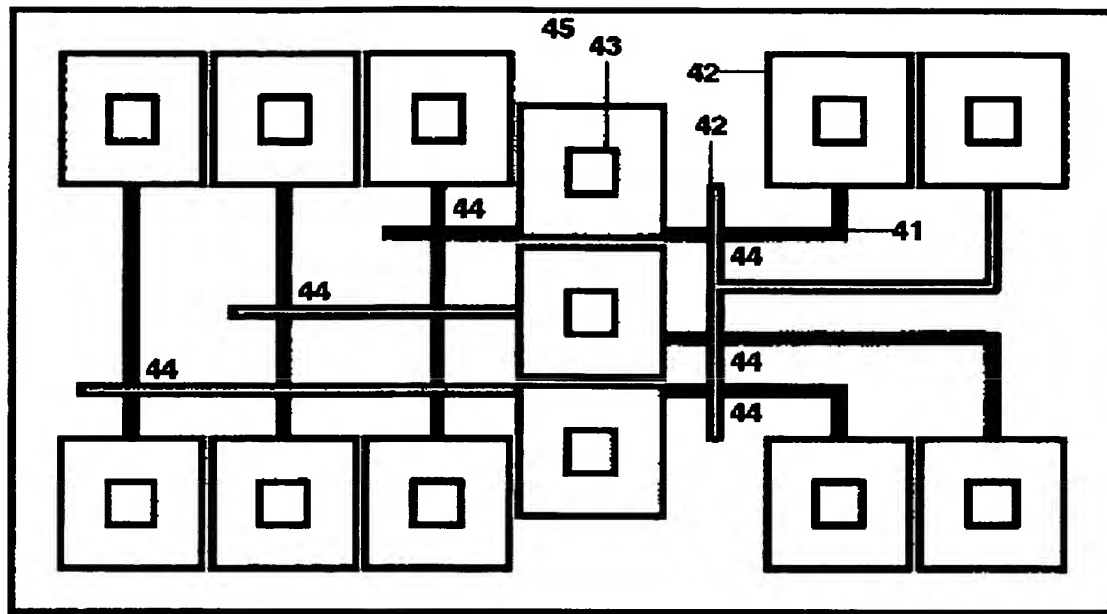




【図 3】

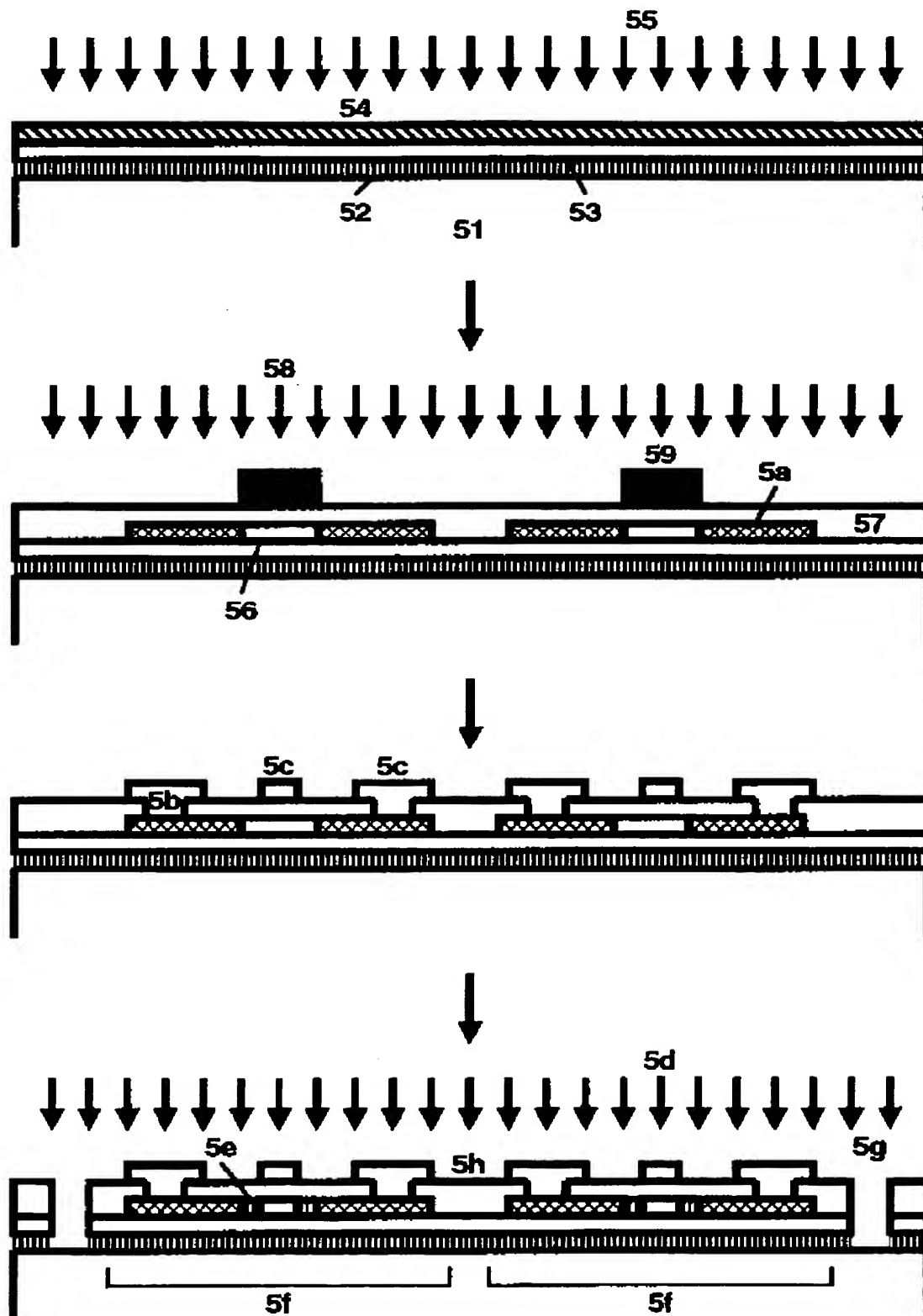


【図 4】



5  $\mu$ m

【図 5】



**【書類名】 要約書****【要約】**

**【課題】** 本発明の目的は、第1基板上に薄膜トランジスタ44を形成し、第2基板上に配線を形成し、第1基板上から薄膜トランジスタ44をひとつ以上含む素子チップ45を剥離し、第2基板上へ転写する、薄膜トランジスタ型表示装置において、素子チップ45のサイズを削減し、製造コストを低減することである。

**【解決手段】** 薄膜トランジスタ44のパターニング工程で、ホログラフィック露光や追尾フォーカスシステムを用い、 $1.0\mu\text{m}$ 以下の設計ルールを用い、素子チップ45の配線として、多結晶シリコン層41と第1の金属層42のみを用いる。

**【選択図】** 図4

特願 2 0 0 3 - 0 1 9 1 3 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社